

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

IFW

Patent

Customer No. 31561  
Application No.: 10/707,867  
Docket No. 11870-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Yao-Chi Wang  
Application No. : 10/707,867  
Filed : January 20, 2004  
For : AUTOMATIC THRESHOLD VOLTAGE CONTROL  
CIRCUIT AND SIGNAL CONVERTING CIRCUIT AND  
METHOD THEREOF

Examiner :  
Art Unit : 2819

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:  
092124839, filed on: 2003/09/09.

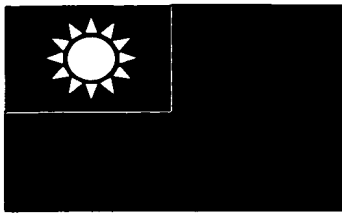
A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: May 18, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**  
**7F.-1, No. 100, Roosevelt Rd.,**  
**Sec. 2, Taipei 100, Taiwan, R.O.C.**  
**Tel: 886-2-2369 2800**  
**Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 09 日  
Application Date

申請案號：092124839  
Application No.

申請人：凌陽科技股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2004 年 2 月 19 日  
Issue Date

發文字號：09320158570  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	臨界電壓自動控制電路與應用其之訊號轉換電路及方法
	英 文	Automatic Threshold Control Circuit and a Signal Transform Circuit & Method Apply thereof
二、 發明人 (共1人)	姓 名 (中文)	1. 王耀祺
	姓 名 (英文)	1. Y. C. Wang
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市武陵路175巷15號15樓之2
	住居所 (英 文)	1. 15F.-2, No.15, Lane 175, Wuling Rd., Hsinchu City 300, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 凌陽科技股份有限公司
	名稱或 姓 名 (英文)	1. Sunplus Technology Co., Ltd.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣科學園區創新一路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 19, Innovation Road 1, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 黃洲杰
	代表人 (英文)	1. Chou-Chye Huang



四、中文發明摘要 (發明名稱：臨界電壓自動控制電路與應用其之訊號轉換電路及方法)

本發明提出一種臨界電壓自動控制電路與應用其之訊號轉換電路及方法，此控制電路包括：第一電容、時脈源以及切換電容網路。其中切換電容網路接收類比訊號及時脈源產生之多個時脈訊號，依其中之一時脈訊號儲存類比訊號之部分電荷，且依另一時脈訊號將前述之部分電荷輸出並配合第一電容產生臨界電壓。本發明因採用感控開關與電容所組成之切換電容網路以代替習知RC濾波電路中之電阻，因此可以輕易整合於晶片中，使得減少外部零件並降低硬體成本。更可以藉由調整時脈訊號之頻率，來調整RC時間常數。

伍、(一)、本案代表圖為：第\_\_\_\_3\_\_\_\_圖

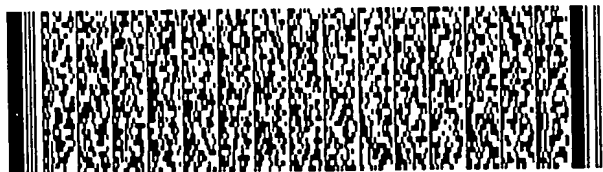
(二)、本案代表圖之元件代表符號簡單說明：

310：比較器

320：時脈源

六、英文發明摘要 (發明名稱：Automatic Threshold Control Circuit and a Signal Transform Circuit & Method Apply thereof)

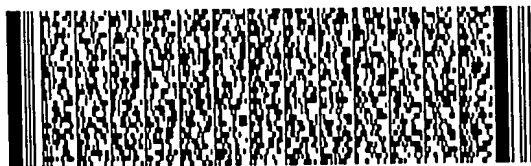
The present invention discloses a Automatic Threshold Control Circuit and a Signal Transform Circuit & Method Apply thereof including a first capacitance, a clock source, and a network of exchange capacitance. The network of exchange capacitance acquires an analog signal and these clock signals from the clock source. The network of exchange capacitance store parts of electric



330 : 切 換 電 容 網 路

六、英文發明摘要 (發明名稱：Automatic Threshold Control Circuit and a Signal Transform Circuit & Method Apply thereof)

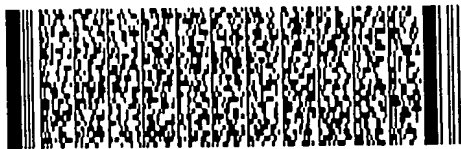
charge of analog signal depends on the one of clock signals, and outputs the parts of electric charge of analog signal depends on the other of clock signals. The electric charge co-operate with the first capacitance to produce threshold voltage. The present invention use the network of exchange capacitance composes of switch and capacitance to substitute for the previous



四、中文發明摘要 (發明名稱：臨界電壓自動控制電路與應用其之訊號轉換電路及方法)

六、英文發明摘要 (發明名稱：Automatic Threshold Control Circuit and a Signal Transform Circuit & Method Apply thereof)

resister of RC filter, so it can easy combine with integrated circuit and lower the hardware cost. It can adjust the RC time constant by adjusting the frequency of the clock signals.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。





## 五、發明說明 (1)

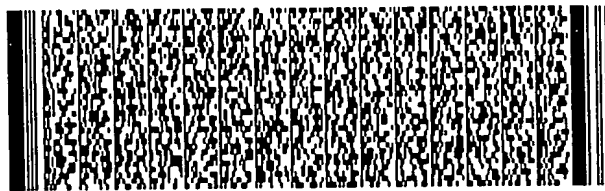
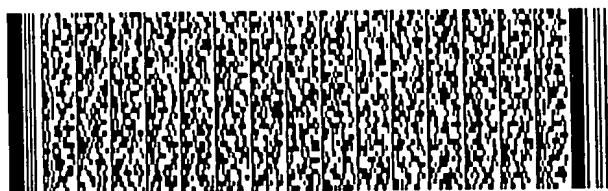
### 發明所屬之技術領域

本發明是有關於一種應用於積體電路之接收電路，且特別是有關於一種數位通訊系統的臨界電壓自動控制電路 (automatic threshold control circuit) 以及應用其之訊號轉換電路。特別適用於頻移鍵值 (Frequency-Shift Keying, FSK)、幅移鍵值 (Amplitude-Shift Keying, ASK) 或通斷鍵值 (On-Off Keying, OOK) 之數位通訊系統。

### 先前技術

日常生活中，常常需要彼此通訊聯絡。而在商業或是軍事需求上，更是需要快速可靠之通訊方式。其中 FSK/ASK 數位通訊系統即為符合現代需求之一通訊方式。而在 FSK/ASK 數位通訊系統中，負責接收訊號的接收端最後通常會有一比較器來決定接收到的位元為邏輯0或邏輯1。此比較器其中之一輸入端為接收到的類比訊號，另一輸入端則為臨界電壓。若類比訊號高於臨界電壓，則判定為邏輯1（或邏輯0），反之則為邏輯0（或邏輯1）。

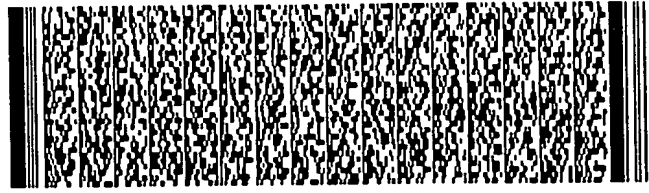
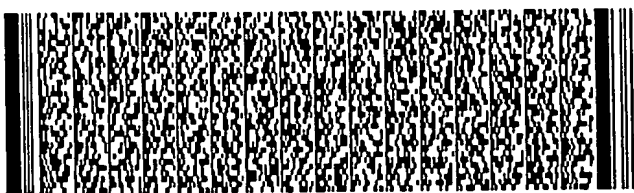
習知產生臨界電壓之方式中，有些晶片直接採用固定電壓源當作臨界電壓。第1A至1C圖是說明習知使用固定電壓源之類比/數位轉換電路及其訊號時序關係。請參照第1A圖，臨界電壓 $V_{REF}$ 係由一固定電壓源所供給。比較器110接收類比訊號 $V_{IN}$ 及臨界電壓 $V_{REF}$ 並比較之，如第1B圖所示，若類比訊號 $V_{IN}$ 高於臨界電壓 $V_{REF}$ ，則判定為邏輯1（或邏輯0），反之則為邏輯0（或邏輯1），依所判定結果輸出數位訊號 $V_{out}$ 。理想情況下，臨界電壓 $V_{REF}$ 係等於類比訊



## 五、發明說明 (2)

號 $V_{IN}$ 之平均值。然而在實作上，常因通訊環境不同、溫度改變、或半導體製程參數漂移，導致類比訊號之直流準位改變。第1C圖即說明此現象，類比訊號 $V_{IN}$ 因受上述各種因素所影響，使得其直流準位大於臨界電壓 $V_{REF}$ 。故此比較器110基於類比訊號 $V_{IN}$ 與臨界電壓 $V_{REF}$ 之大小關係而輸出錯誤之數位訊號 $V_{out}$ 。

為改進前述直接採用固定電壓源當作臨界電壓之缺點，習知利用電阻電容所組成之濾波電路（以下簡稱RC濾波）將接收到之類比訊號的直流成分濾出，成為臨界電壓。請參閱第2圖，該圖係說明習知採用RC濾波技術完成之臨界電壓自動控制電路與使用其之類比/數位轉換電路。電阻230之一端接收類比訊號 $V_{IN}$ ，另一端與電容220之其中一端耦接以輸出臨界電壓 $V_{REF}$ 。此電容之另一端係接地。比較器210接收並比較類比訊號 $V_{IN}$ 與臨界電壓 $V_{REF}$ 後，輸出數位訊號 $V_{out}$ 。此習知所採用之技術雖能隨類比訊號之漂移而自動產生對應之臨界電壓，但若類比訊號傳送資料的速率是屬每秒千位元（Kbps）等級，RC時間常數需很大（至少1毫秒，1 msec）。要達到此一時間常數至少需要約1 M $\Omega$ 之電阻值以及約1000 pF之電容值，這樣大電阻值與大電容值若欲實施於積體電路中，因所佔面積過大而並不適合整合於晶片中（於CMOS 0.6  $\mu$ m製程中，平均每1 K $\Omega$ 電阻需占12  $\mu$ m  $\times$  12  $\mu$ m晶片面積，而電容平均每1 pF需占20  $\mu$ m  $\times$  20  $\mu$ m晶片面積）。另外一旦決定了電容電阻值並整合於晶片中，便無法再調整RC時間常數。



## 五、發明說明 (3)

### 發明內容

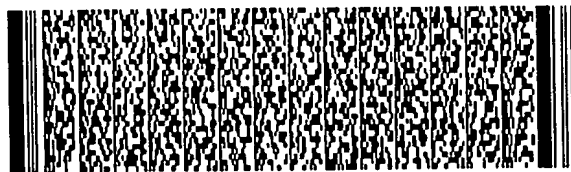
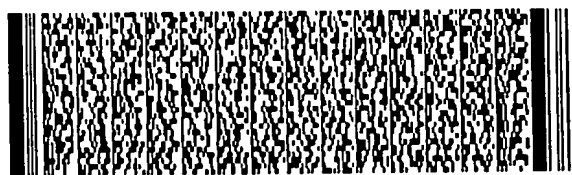
因此本發明的目的就是在提供一種臨界電壓自動控制電路與應用其之訊號轉換電路及方法，使有效減少電容值而易於整合至晶片中。

本發明的再一目的是提供一種臨界電壓自動控制電路與應用其之訊號轉換電路及方法，以減少晶片外部零件並降低系統製作成本。

本發明的又一目的是提供一種臨界電壓自動控制電路與應用其之訊號轉換電路及方法，可藉由切換時脈頻率來調整RC時間常數。

本發明提出一種臨界電壓自動控制電路，此控制電路包括：第一電容、時脈源及切換電容網路。第一電容具有一第一端與一第二端，此第一端耦接一第一電壓準位。時脈源用以產生多個時脈訊號。切換電容網路耦接於第一電容之第二端，用以接收類比訊號及前述各時脈訊號，依其訊號將前述之部分電荷輸出並與第一電容產生一臨界電壓。

依照本發明的較佳實施例所述，上述之切換電容網路包括：多個感控開關以及第二電容。其中之一感控開關受一時脈訊號控制以使之導通或斷開。各感控開關係以串接一結構耦接，並於該串接結構之其中一端接收類比訊號，另一端與第一電容之第二端耦接以輸出臨界電壓。該串接結構中相鄰的二感控開關之間與第二電容之一端耦接，第二電容之另一端耦接一第二電壓準位。前述之各時脈訊

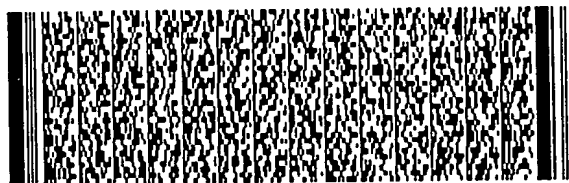
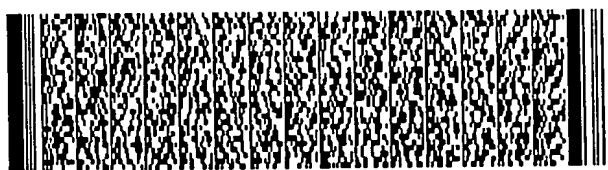


#### 五、發明說明 (4)

號之頻率相同但相位不同，且各時脈訊號互不重疊。本發明之臨界電壓自動控制電路於此實施例中，係可以應用於頻移鍵值(Frequency-Shift Keying, FSK)數位通訊系統、幅移鍵值(Amplitude-Shift Keying, ASK)數位通訊系統或通斷鍵值(On-Off Keying, OOK)數位通訊系統中。

本發明另外提出一種訊號轉換電路，包括：第一電容、時脈源、切換電容網路以及比較器。時脈源用以產生多個時脈訊號，各時脈訊號之頻率相同但相位不同。第一電容具有第一端與第二端，其中第一端耦接第一電壓準位。切換電容網路耦接於第一電容之第二端，接收類比訊號及各時脈訊號並依時脈訊號儲存類比訊號之部分電荷，且依時脈訊號將前述之部分電荷輸出並與第一電容產生一臨界電壓。比較器用以比較臨界電壓及類比訊號，由比較結果輸出一數位訊號。

依照本發明的較佳實施例所述，上述之切換電容網路包括：多個感控開關及第二電容。各感控開關受時脈訊號控制以使之導通或斷開。各感控開關以一串接結構耦接，於此串接結構之其中一端接收類比訊號，另一端與第一電容之第二端耦接以輸出臨界電壓。串接結構中相鄰的二感控開關之間與第二電容的其中一端耦接，第二電容之另一端耦接第二電壓準位。本實施例中各時脈訊號之頻率相同但相位不同，且各時脈訊號互不重疊。本發明之訊號轉換電路與此實施例中，可以應用於FSK數位通訊系統、ASK數位通訊系統以及OOK數位通訊系統。



## 五、發明說明 (5)

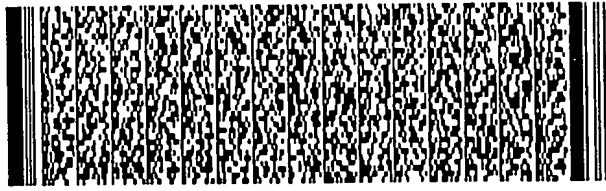
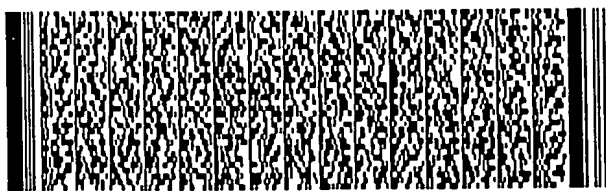
習知由電阻電容所組成之濾波電路（以下簡稱RC濾波）具有耗費晶片面積與無法更改晶片中之RC時間參數之種種缺點，所以本發明提出一種臨界電壓自動控制電路以改進習知技術之缺點。本發明因採用多個感控開關與電容所組成之切換電容網路以代替習知RC濾波電路中之電阻，因此可以輕易整合於晶片中，使得減少外部零件並降低硬體成本。更可以藉由調整時脈訊號之頻率，來調整RC時間常數。

為讓本創作之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉二較佳實施例，並配合所附圖式，作詳細說明。在圖中，當元件被指為"連接"或"耦接"至另一元件時，其可為直接連接或耦接至另一元件，或可能存在介於其間之元件。相對地，當元件被指為"直接連接"或"直接耦接"至另一元件時，則不存在有介於其間之元件。

### 實施方式：

如前面所述，習知技術利用RC濾波電路達成臨界電壓自動控制之目的。而於實作上，電容及電阻相當耗佔晶片面積，因而無法整合於晶片中。解決方式是將此電容與電阻外接於晶片外，此法雖可達成臨界電壓自動控制之要求，但卻增加零件成本。本發明揭示一種臨界電壓自動控制電路以改進習知技術之缺點。

第3圖係繪示依照本發明所舉出一較佳實施例的一種臨界電壓自動控制電路與使用其之訊號轉換電路的電路圖。本實施例包括：電容C1、電容C2、感控開關S1、感控



## 五、發明說明 (6)

開關S2及時脈源320。第3圖中切換電容網路330接收時脈源所輸出之時脈訊號以控制其中之感控開關S1及S2，使感控開關S1及S2同時間只有一開關處於導通狀態，此時另一感控開關則為斷開狀態。當感控開關S1及S2受時脈訊號控制而輪番開合之際，電容C1因感控開關S1導通而儲存類比訊號 $V_{IN}$ 之部分電荷 $\Delta Q$ ，其公式如下：

$$\Delta Q = C1(V_{IN} - V_{REF}) \quad (\text{公式1})$$

於本實施例中，電容C1譬如為0.5微微法拉(pF)。而流經切換電容網路330之平均電流 $I_{avg}$ 與時脈源之週期T(頻率f)關係如下：

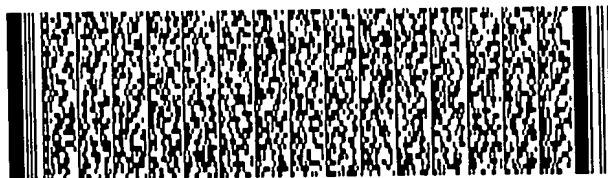
$$I_{avg} = \Delta Q / T = C1 \times f(V_{IN} - V_{REF}) \quad (\text{公式2})$$

於本實施例中，頻率f譬如為40千赫(KHz)。此時切換電容網路330之等效電阻 $R_{eff}$ 為：

$$R_{eff} = (V_{IN} - V_{REF}) / I_{avg} = 1 / (C1 \times f) \quad (\text{公式3})$$

若適當調整時脈源320，使控制感控開關S1之時脈訊號與控制感控開關S2之時脈訊號，使其頻率相同但相位不同且互不重疊，則可以使切換電容網路330配合電容C2而達成RC濾波之要求，並輸出臨界電壓 $V_{REF}$ 。於本實施例中，電容C2譬如為10微微法拉(pF)。電容C1與電容C2之其中一端在本實施例中雖同樣接地，但任何熟悉此技藝者可將其分別改接至不同之直流電壓準位，而結果仍不脫離本發明之範疇。

本實施例中所提及之感控開關可以金氧半場效電晶體(MOS-FET)實施而整合於晶片中。本發明之臨界電壓自動



## 五、發明說明 (7)

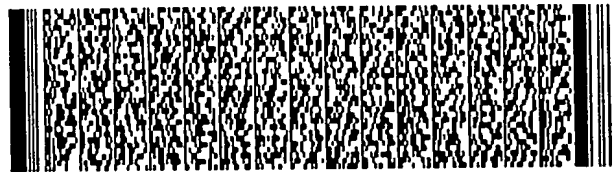
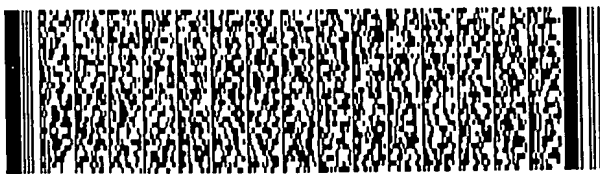
控制電路於本實施例中，可以應用於FSK數位通訊系統、ASK數位通訊系統及OOK數位通訊系統。

依照本發明所提出之一種訊號轉換電路舉出另一較佳實施例。本實施例相似於前一較佳實施例，其不同之處在於將前一實施例中所輸出之臨界電壓 $V_{REF}$ 更進一步引接至一比較器310。請依然參考第3圖，圖中利用切換電容網路330達到一等效電阻之功能，配合電容C2而形成一臨界電壓自動控制電路。比較器310接收類比訊號 $V_{IN}$ 與臨界電壓 $V_{REF}$ 並比較之，依比較結果產生數位訊號 $V_{out}$ 。

綜上所述，本發明之另一觀點可整理成一種訊號轉換之方法，可以將類比訊號轉換成數位訊號。本發明首先提供第一電容以及多個時脈訊號，而後依其中一時脈訊號儲存類比訊號之部分電荷，並依另一時脈訊號將此部分電荷配合第一電容產生臨界電壓。最後比較類比訊號與臨界電壓，而依比較結果輸出數位訊號。

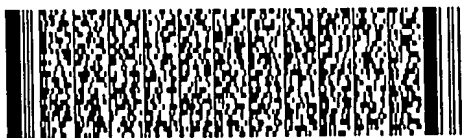
上述訊號轉換之方法中時脈訊號譬如包括第一時脈訊號與第二時脈訊號，而第一時脈訊號與第二時脈訊號之頻率相同但互不重疊。因此前述訊號轉換之方法中，有關產生臨界電壓之步驟在此舉例說明。於本例中首先提供第二電容，依照第一時脈訊號導通類比訊號至第二電容，以使第二電容儲存此類比訊號之部分電荷。接著依照第二時脈訊號導通第一電容與第二電容，以使部分電荷配合第一電容產生臨界電壓。

雖然本發明已以一較佳實施例揭露如上，然其並非用



五、發明說明 (8)

以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。





## 圖式簡單說明

第1A至1C圖是說明習知使用固定電壓源之類比/數位轉換電路及其訊號時序關係。

第2圖是說明習知採用RC濾波技術完成之臨界電壓自動控制電路與使用其之類比/數位轉換電路。

第3圖是依照本發明所舉出一較佳實施例所繪示的一種臨界電壓自動控制電路與使用其之訊號轉換電路的電路圖。

## 圖式標記說明：

110、210、310：比較器

220：電容

230：電阻

320：時脈源

330：切換電容網路



## 六、申請專利範圍

1. 一種臨界電壓自動控制電路，包括：

一第一電容，具有一第一端與一第二端，該第一端耦接一第一電壓準位；

一時脈源，用以產生複數個時脈訊號；以及

一切換電容網路，耦接於該第一電容之該第二端，用以接收一類比訊號及該些時脈訊號，依該些時脈訊號儲存該類比訊號之一部分電荷，且依該些時脈訊號將該部分電荷輸出並與該第一電容產生一臨界電壓。

2. 如申請專利範圍第1項所述之臨界電壓自動控制電路，其中該切換電容網路包括：

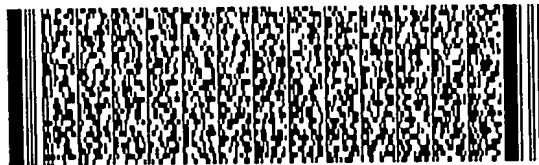
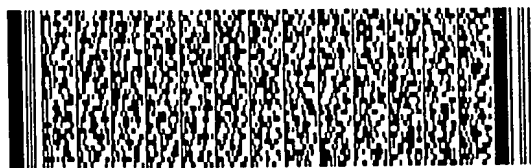
複數個感控開關，該些感控開關之一受該些時脈訊號控制以使之導通或斷開，該些感控開關以一串接結構耦接，於該串接結構之其中一端接收該類比訊號，該串接結構之另一端與該第一電容之該第二端耦接以輸出該臨界電壓；以及

至少一第二電容，該串接結構中相鄰的該些感控開關之間與該第二電容的其中一端耦接，該第二電容之另一端耦接一第二電壓準位。

3. 如申請專利範圍第2項所述之臨界電壓自動控制電路，其中該些時脈訊號之頻率相同但相位不同。

4. 如申請專利範圍第3項所述之臨界電壓自動控制電路，其中該複數個時脈訊號互不重疊。

5. 如申請專利範圍第4項所述之臨界電壓自動控制電路，其中該些感控開關係以金氧半場效電晶體(MOS-FET)



## 六、申請專利範圍

實施之。

6. 如申請專利範圍第5項所述之臨界電壓自動控制電路，其中該第一電壓準位以及該第二電壓準位為一直流電壓準位。

7. 如申請專利範圍第1項所述之臨界電壓自動控制電路，其係應用於一頻移鍵值(Frequency-Shift Keying, FSK)數位通訊系統。

8. 如申請專利範圍第1項所述之臨界電壓自動控制電路，其係應用於一幅移鍵值(Amplitude-Shift Keying, ASK)數位通訊系統。

9. 如申請專利範圍第1項所述之臨界電壓自動控制電路，其係應用於一通斷鍵值(On-Off Keying, OOK)數位通訊系統。

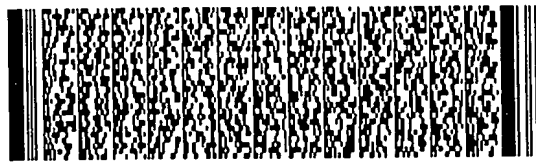
10. 一種訊號轉換電路，包括：

一第一電容，具有一第一端與一第二端，該第一端耦接一第一電壓準位；

一時脈源，用以產生複數個時脈訊號，該些時脈訊號之頻率相同但相位不同；

一切換電容網路，耦接於該第一電容之該第二端，用以接收一類比訊號及該些時脈訊號，依該些時脈訊號儲存該類比訊號之一部分電荷，且依該些時脈訊號將該部分電荷輸出並與該第一電容產生一臨界電壓；以及

一比較器，用以比較該臨界電壓及該類比訊號，並輸出一數位訊號。



## 六、申請專利範圍

11. 如申請專利範圍第10項所述之訊號轉換電路，其中該切換電容網路包括：

複數個感控開關，該些感控開關之一受該些時脈訊號控制以使之導通或斷開，該些感控開關以一串接結構耦接，於該串接結構之其中一端接收該類比訊號，該串接結構之另一端與該第一電容之該第二端耦接以輸出該臨界電壓；以及

至少一第二電容，該串接結構中相鄰的該些感控開關之間與該第二電容的其中一端耦接，該第二電容之另一端耦接一第二電壓準位。

12. 如申請專利範圍第11項所述之訊號轉換電路，其中該些時脈訊號之頻率相同但相位不同。

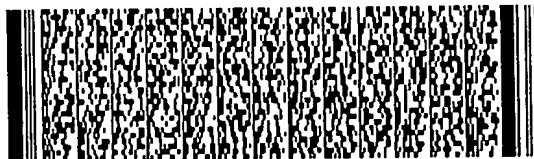
13. 如申請專利範圍第12項所述之訊號轉換電路，其中該複數個時脈訊號互不重疊。

14. 如申請專利範圍第13項所述之訊號轉換電路，其中該些感控開關係以金氧半場效電晶體(MOS-FET)實施之。

15. 如申請專利範圍第14項所述之訊號轉換電路，其中該第一電壓準位以及該第二電壓準位為一直流電壓準位。

16. 如申請專利範圍第10項所述之訊號轉換電路，其係應用於一頻移鍵值(Frequency-Shift Keying, FSK)數位通訊系統。

17. 如申請專利範圍第10項所述之訊號轉換電路，其



## 六、申請專利範圍

係應用於一幅移鍵值(Amplitude-Shift Keying, ASK)數位通訊系統。

18. 如申請專利範圍第10項所述之訊號轉換電路，其係應用於一通斷鍵值(On-Off Keying, OOK)數位通訊系統。

19. 一種訊號轉換之方法，用以將一類比訊號轉換成一數位訊號，包括下列步驟：

提供一第一電容以及複數個時脈訊號；

依該些時脈訊號儲存該類比訊號之一部分電荷，且依該些時脈訊號將該部分電荷配合該第一電容產生一臨界電壓；以及

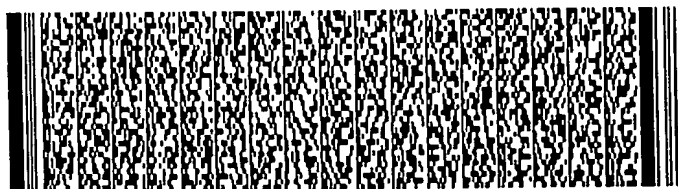
比較該類比訊號與該臨界電壓，而輸出該數位訊號。

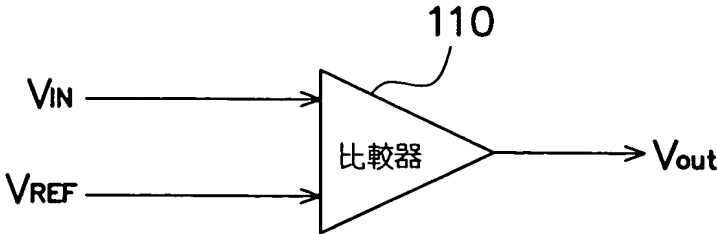
20. 如申請專利範圍第19項所述之訊號轉換之方法，其中該些時脈訊號包括一第一時脈訊號與一第二時脈訊號，該第一時脈訊號與該第二時脈訊號頻率相同但互不重疊，而產生該臨界電壓之步驟包括：

提供一第二電容；

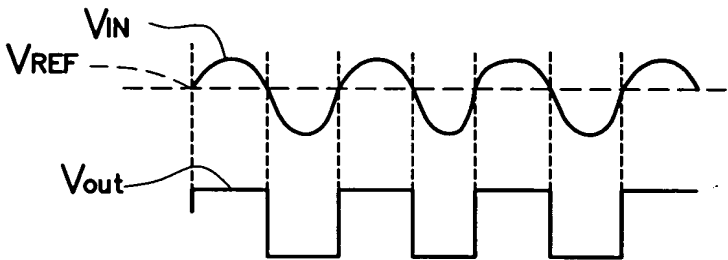
依該第一時脈訊號，導通該類比訊號至該第二電容，以儲存該類比訊號之該部分電荷於該第二電容中；以及

依該第二時脈訊號，導通該第一電容與該第二電容，以使該部分電荷配合該第一電容產生該臨界電壓。

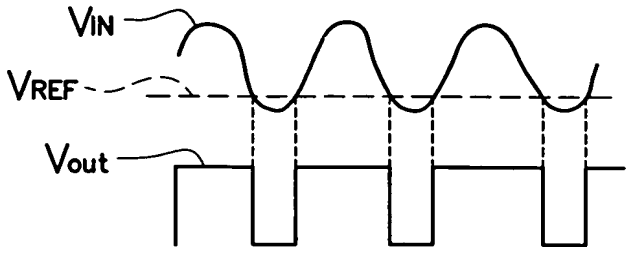




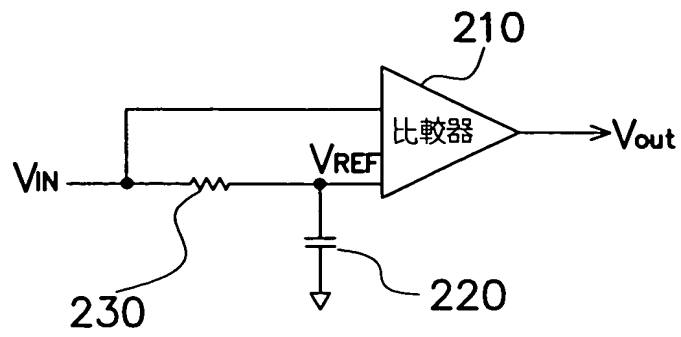
第 1A 圖



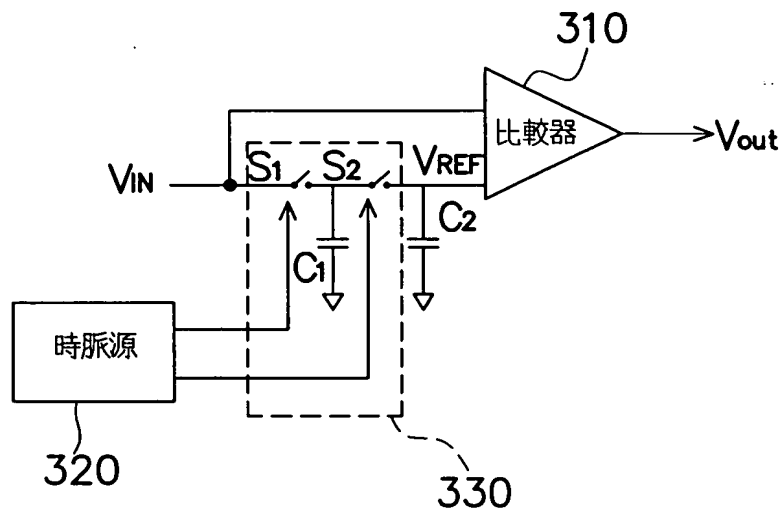
第 1B 圖



第 1C 圖

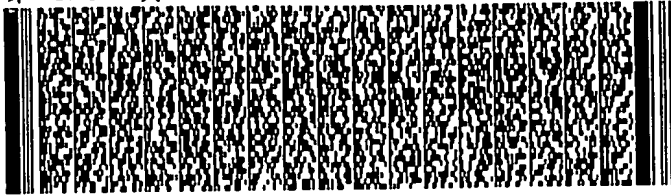


第 2 圖

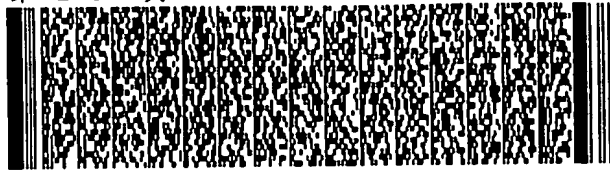


第 3 圖

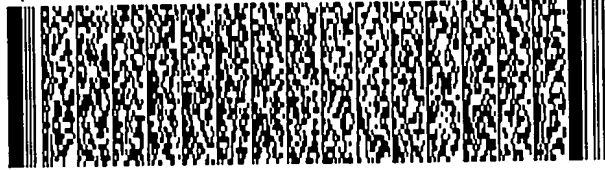
第 1/18 頁



第 2/18 頁



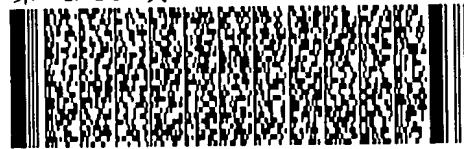
第 2/18 頁



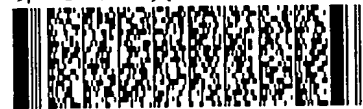
第 3/18 頁



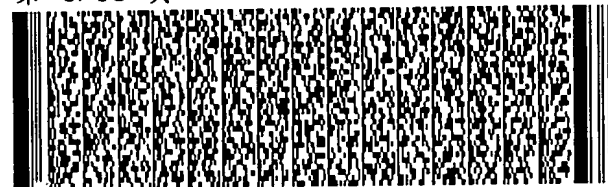
第 4/18 頁



第 5/18 頁



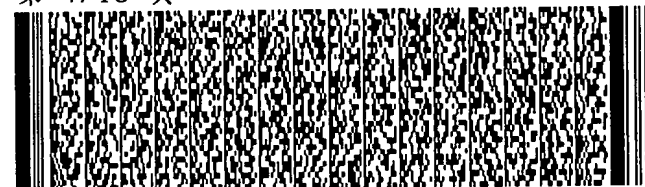
第 6/18 頁



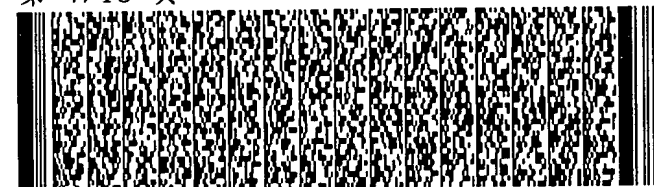
第 6/18 頁



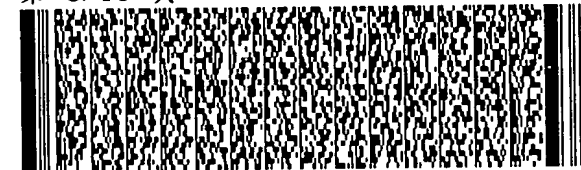
第 7/18 頁



第 7/18 頁



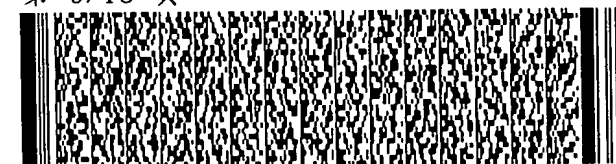
第 8/18 頁



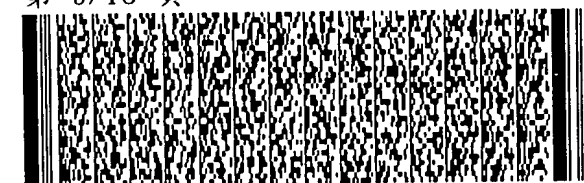
第 8/18 頁



第 9/18 頁



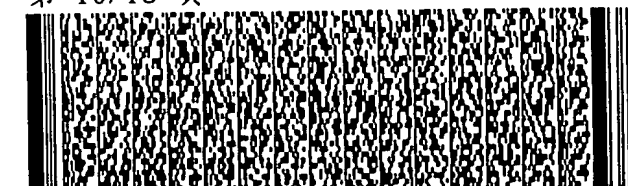
第 9/18 頁



第 10/18 頁



第 10/18 頁





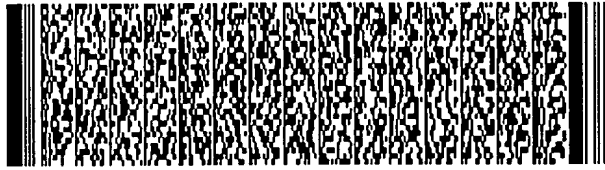
第 11/18 頁



第 11/18 頁



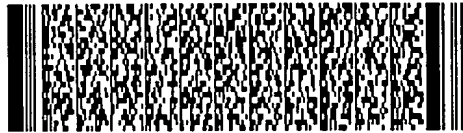
第 12/18 頁



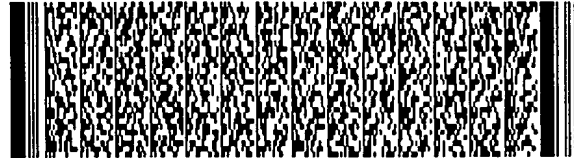
第 12/18 頁



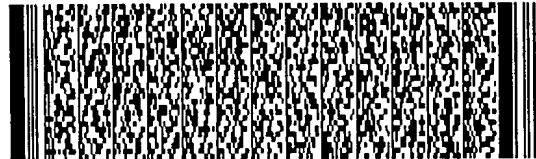
第 13/18 頁



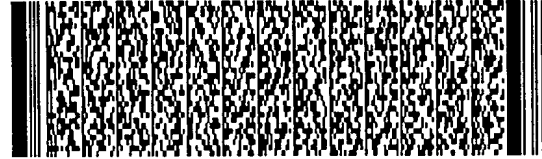
第 14/18 頁



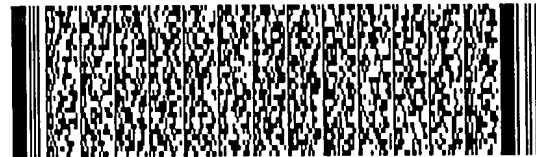
第 15/18 頁



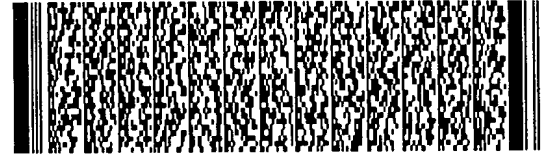
第 15/18 頁



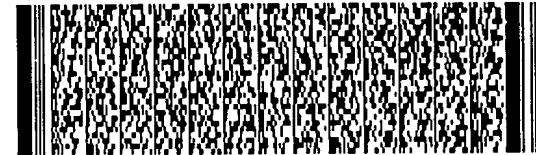
第 16/18 頁



第 16/18 頁



第 17/18 頁



第 17/18 頁



第 18/18 頁

